

Étude et application d'une boucle à verrouillage de phase numérique

1 Introduction

Une boucle à verrouillage de phase ou PLL (Phase Locked Loop) est constituée de trois parties principales :

- Un oscillateur dont la fréquence peut être contrôlée par une tension ou VCO (Voltage Controlled Oscillator)
- Un comparateur de phase qui fournit une tension proportionnelle à la différence de phase entre ses deux entrées.
- Un filtre qui est appliqué aux signaux en provenance du comparateur de phase avant d'entrer sur le VCO.

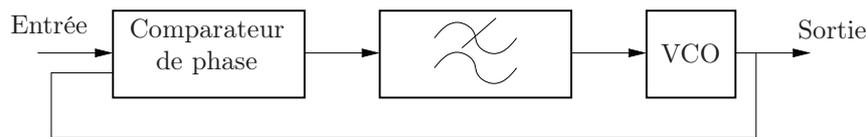


FIGURE 1 – Principe d'une boucle à verrouillage de phase

1. Lorsque la tension d'entrée de la PLL est nulle, le VCO oscille à une fréquence dite fréquence libre f_0 . Si l'on applique un signal de fréquence $f_1 \neq f_0$ à l'entrée de la PLL, il apparaît alors un déphasage entre le VCO et le signal d'entrée. La tension de sortie du filtre en modifiant la fréquence d'oscillation du VCO ramène les phases à égalité. La boucle est dite verrouillée lorsque $f_{vco} = f_1$.
2. Lorsque la fréquence f_1 du signal d'entrée varie et que la boucle est verrouillée, l'asservissement maintient l'égalité $f_{vco} = f_1$ pour une certaine plage de fréquences. Cette plage est appelée plage d'asservissement.
3. La plage de capture (ou d'accrochage) est la plage des fréquences pour lesquelles la PLL se verrouille sur la fréquence d'entrée lorsqu'elle n'était pas verrouillée au départ.

La plage d'asservissement peut être plus grande que la plage de capture. C'est à dire qu'il peut exister des fréquences pour lesquelles l'asservissement est possible, mais sur lesquelles la PLL ne se verrouillera pas spontanément.

Le but de ce TP est d'étudier les caractéristiques et performances d'une PLL réalisée à l'aide d'un circuit intégré du type 4046.

2 Manipulation

2.1 Matériel

2.1.1 Breadboard

Il est souvent nécessaire dans le cadre d'une manipulation de laboratoire de réaliser rapidement un circuit électronique à des fins d'essai. Dans ce cadre, le tirage complet d'un circuit imprimé est cher et long. Il est possible d'utiliser des "plaquettes à trous". Ces plaquettes sont constituées d'époxy et elles sont munies de trous à pastilles métallisées qui permettent de souder aisément composants et fils comme sur un circuit imprimé. L'utilisation de ces plaquettes est intéressante dans le cas d'un circuit qui doit être robuste (transportable et fiable) ou qui est définitif.

Lorsque les fréquences de travail le permettent (inférieures au MHz), on préfère utiliser des “Breadboard”. Les Breadboard sont des plaques à trous (CF figure 5) dont l’aspect rappelle sans doute une tranche de pain aux Anglo-saxons et qui permettent d’assembler sans souder les composants électroniques en technologie traversante. On distingue deux grandes familles principales de boîtiers pour les composants électroniques : Les boîtiers traversants qui sont munis de pattes longues prévues pour traverser les circuits imprimés et être soudés par dessous, et les boîtiers à montage de surface (CMS : Chip Surface Mount) qui sont prévus pour être soudés à la surface des circuits imprimés.

Au coeur des Breadboards, on trouve de petits clips métalliques :



FIGURE 2 – Clips métalliques de base des Breadboard

Ces clips réalisés dans un alliage à base de nickel sont raisonnablement conducteurs et raisonnablement souples et résistants à l’oxydation. Leur forme a été étudiée de telle sorte que lorsqu’une des pinces du clip serre un fil ou une patte d’un composant, cela n’affecte pas la force que pourrait exercer la pince voisine sur un autre fil ou composant.

Un Breadboard est constitué d’une matrice de ces clips noyée dans du plastique qui les maintient en place et les isole les uns des autres.



FIGURE 3 – Breadboard Détails

Chaque trou dans le Breadboard ci-dessus maintient le fil ou la patte exactement au centre d’une des pinces du clip. En fonction des besoins, on peut grouper les clips en points de connexion où les clips sont arrangés parallèlement (contacts par colonnes de cinq) ou en bus où les clips sont arrangés en quatre lignes de 25 contacts :

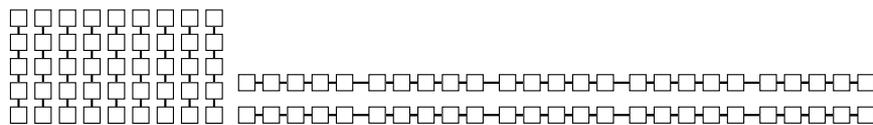


FIGURE 4 – Arrangement en colonnes ou lignes des clips

REMARQUE : Les lignes de bus sur le breadboard ne sont pas toutes connectées entre elles. Les traits bleus et rouges au dessus et au dessous des lignes représentent les connexions. C’est à vous de les connecter si vous en avez besoin. De la même façon, les connecteurs bananes femelles sur le breadBoard ne sont connectées à rien. Vous pouvez les utiliser comme relais de câblage, mais pensez à les connecter au breadboard. Ceci peut se faire facilement car les fiches bananes sont pourvues d’un trou perpendiculaire à leur axe qui est prévu pour bloquer un fil à cet effet.

2.1.2 Circuit 4046

Ce circuit comprend (CF Figure 8) un VCO et deux types de comparateur de phase. Il est réalisé en technologie CMOS. Vous alimenterez ce circuit en 10 Volts. C’est à dire que $V_{DD} = 10\text{ V}$ et $V_{SS}=0\text{V}$. Le signal analogique sur lequel la PLL travaille doit donc être centré sur 5 Volts.

Connecteurs bananes femelles (non connectés)

Lignes de clips

Colonnes

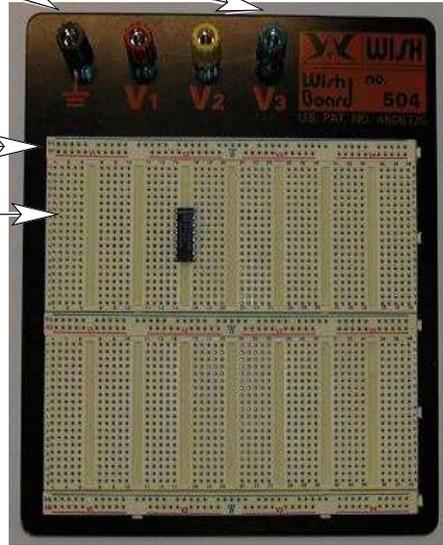


FIGURE 5 – Breadboard

Filtrage de l'alimentation :

Afin de s'assurer que l'alimentation fournie au composant est stable, vous insérerez entre VDD et VSS le plus près possible du 4046 une capacité de 100 nF . Cette capacité a pour rôle de filtrer la tension d'alimentation des divers parasites ou variations qu'elle pourrait présenter.

Précaution importante :

Assurez vous de toujours alimenter le circuit 4046 avant d'appliquer des signaux sur ses entrées. En effet les entrées du circuit sont protégées dans une certaine mesure des surtensions, mais cette protection n'est active que lorsque le circuit est alimenté.

2.2 Étude du VCO

La fréquence centrale du VCO f_0 , est fixée par le couple (R_1, C_1) . R_2 permet de contrôler l'excursion en fréquence du VCO : $F_{max} - F_{min}$.

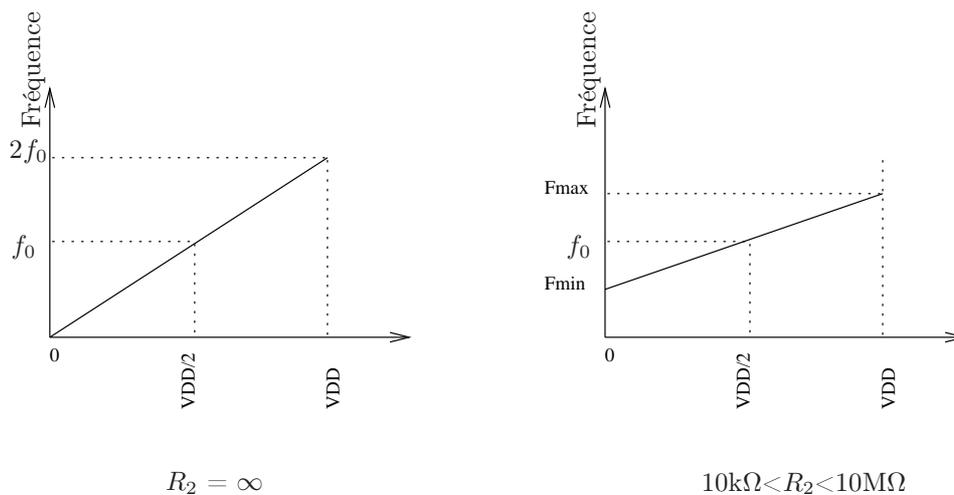


FIGURE 6 – Choix des composants R_1, R_2 et C_1 .

On utilise donc l'abaque 10 pour sélectionner le couple (R_1, C_1) puis l'abaque 11 pour obtenir l'excursion désirée.

Remarque : La patte n°5 du 4046 est une patte qui permet d'interdire au VCO d'osciller. Cela permet d'économiser de l'énergie dans le cas d'une application alimentée sur batterie. Afin de permettre au VCO de fonctionner, il est impératif de connecter cette patte à VSS.

- On alimente le système sous 10 V. En prenant $R_1 = 10\text{ k}\Omega$, on obtient $C_1 = 1,2\text{ nF}$ et $R_2 = 30\text{ k}\Omega$ (N'utilisez que les résistances et les capacités fournies dans la boîte à cases blanches qui se trouve sur votre paillasse).
- Vérifiez que le VCO présente une fréquence d'oscillation variant environ de 50 kHz à 150 kHz lorsque sa tension de commande varie de 0 à 10 Volts en utilisant une tension continue pour le commander.
- Caractérissez la linéarité du VCO.
- Observez la modulation de fréquence, lorsqu'on applique au VCO, une tension de commande variable à l'aide du générateur BF. **Assurez-vous que la tension de commande est comprise entre VDD et VSS.** À l'aide de l'oscilloscope, vous pouvez pour cela centrer la tension de commande en jouant sur l'amplitude et le décalage ("offset") de la tension délivrée par le générateur BF.

2.3 Étude du comparateur de phase

Nous nous limiterons, dans ce TP, à l'étude du comparateur de phase de type 1 du 4046. Ce comparateur de phase est un simple OU exclusif. Il nécessite, pour fonctionner, des signaux d'entrée en créneaux symétriques. C'est-à-dire carré et de rapport cyclique égal à 50%. Le rapport cyclique est le rapport du temps à l'état tension haute sur la période. On utilisera des signaux carrés dans ce qui suit.

- Donnez les signaux de sortie théoriques d'un tel comparateur de phase. Tracez, en particulier, la valeur moyenne du signal de sortie du comparateur de phase en fonction de l'écart de phase entre les signaux en entrée.

Pour étudier en pratique le comportement du comparateur de phase, on injectera, sur l'une de ses entrées, le signal de sortie du VCO et, sur l'autre, un signal provenant d'un générateur extérieur (CF figure7).

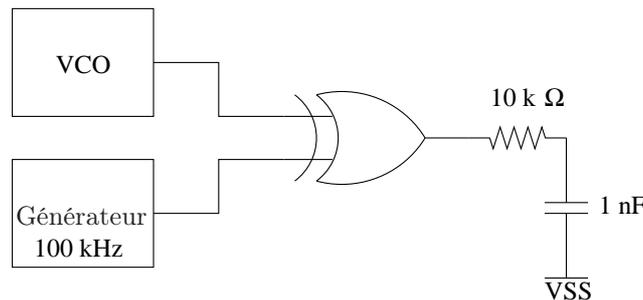


FIGURE 7 – Circuit d'étude du VCO.

- Observez l'évolution du signal sur la sortie du comparateur de phase, lorsque la fréquence du générateur se situe au voisinage de la fréquence d'oscillation libre f_0 du VCO.
- Expliquez les signaux observés.
- Expliquez pourquoi on a choisi $R = 10\text{ k}\Omega$ et $C = 1\text{ nF}$ pour le filtre passe-bas.

2.4 Fermeture de la boucle

- Fermez la PLL en utilisant le filtre passe bas précédent. Vous pouvez vous reporter à la figure 8 pour le câblage.
- Vérifiez le verrouillage de la boucle sur la fréquence du générateur extérieur.
- En utilisant le générateur extérieur, observez le fonctionnement de la boucle.

2.4.1 Plage d'accrochage et d'asservissement

- Mesurez les plages d'accrochage et d'asservissement.
- Comment intervient le filtre passe-bas utilisé sur ces deux plages ?

2.4.2 Démodulation d'un signal FM

Vous utiliserez le mode SWEEP du générateur basse fréquences. Vous choisirez les fréquences de démarrage et de fin de balayage en fonction des capacités du VCO que vous avez câblé.

Pour ne pas perturber le fonctionnement, il faut utiliser le suiveur intégré au 4046 pour lire la tension démodulée. C'est à dire se connecter sur la sortie SFout du 4046.

- Expliquez pourquoi.
- Mettez en évidence la démodulation effectuée par la PLL.

2.4.3 Multiplicateur de fréquence

Dans le cadre des télécommunications, il est intéressant, à partir d'un oscillateur à une fréquence donnée, de pouvoir synthétiser les fréquences supérieures multiples. Ainsi, on ne sait pas réaliser directement un oscillateur stable à $1,89\text{ GHz}$, c'est pourquoi on utilise la fréquence stable d'un quartz à 13 MHz que l'on multiplie pour obtenir un oscillateur stable à $1,89\text{ GHz}$.

- Proposez une méthode pour générer, à l'aide de la PLL et d'un compteur, les fréquences supérieures, multiples de celle du générateur utilisée en entrée de la PLL.
- Câblez un multiplicateur de fréquence par deux.

3 ANNEXES

3.1 Diagramme fonctionnel du 4046

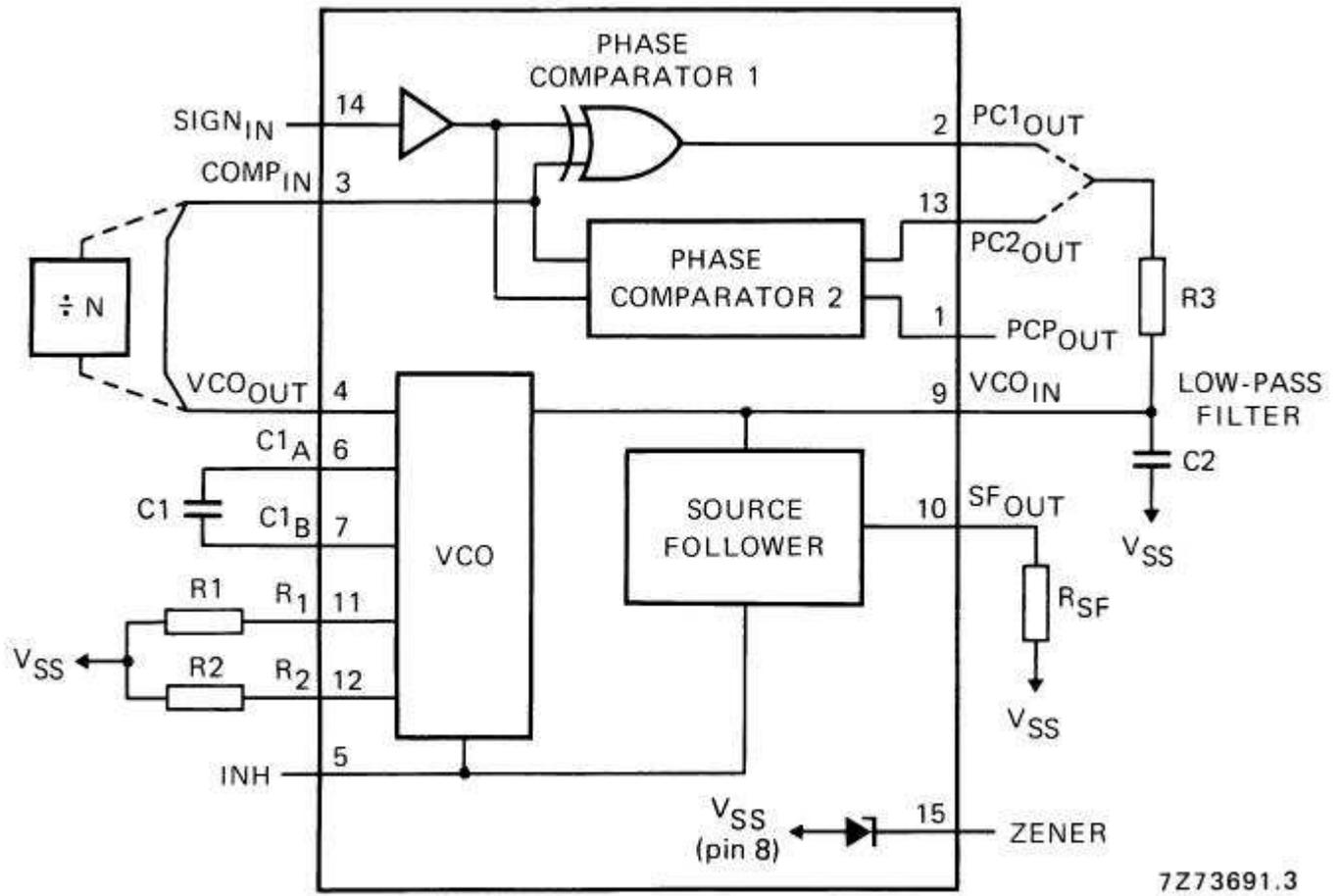
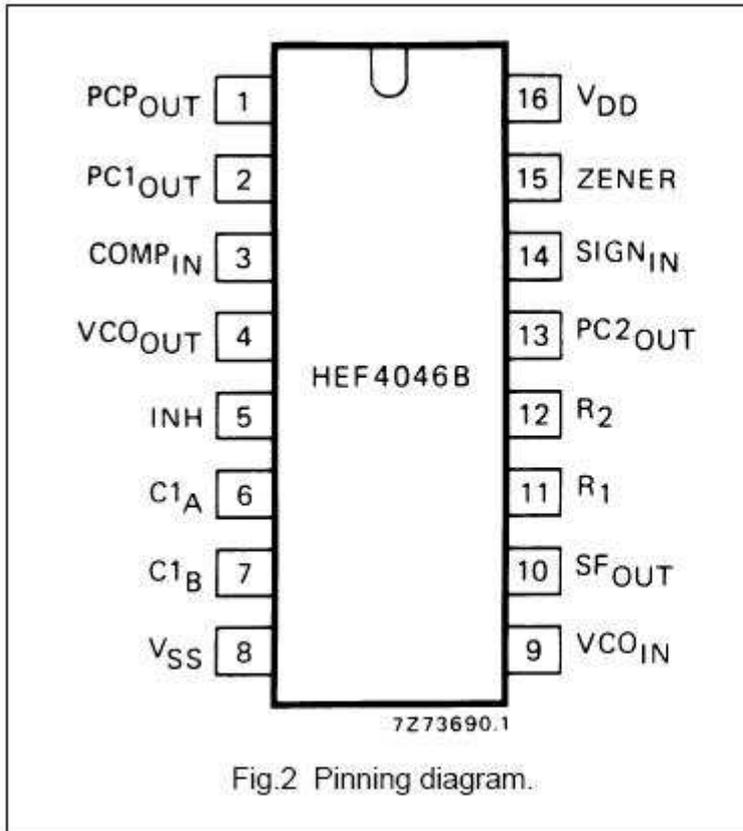


Fig.1 Functional diagram.

FIGURE 8 – Diagramme fonctionnel du 4046

3.2 Brochage du 4046



PINNING

1. Phase comparator pulse output
2. Phase comparator 1 output
3. Comparator input
4. VCO output
5. Inhibit input
6. Capacitor C1 connection A
7. Capacitor C1 connection B
8. V_{SS}
9. VCO input
10. Source-follower output
11. Resistor R1 connection
12. Resistor R2 connection
13. Phase comparator 2 output
14. Signal input
15. Zener diode input for regulated supply.

FIGURE 9 – Brochage du 4046

3.3 VCO : Valeur de f_0 en fonction de C_1 ($R_2 = \infty$)

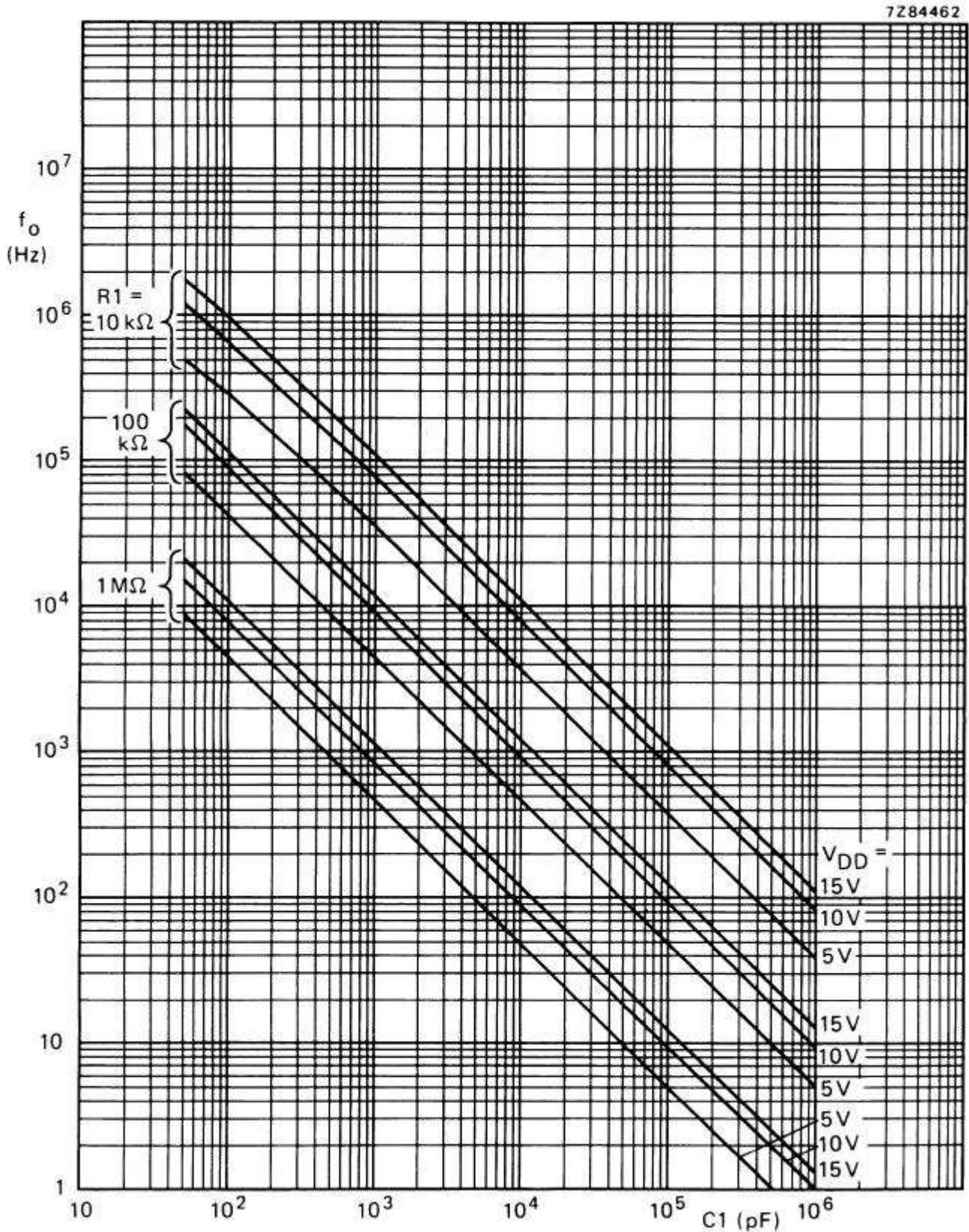


FIGURE 10 – Valeur de f_0 en fonction de C_1 ($R_2 = \infty$)

3.4 VCO : Rapport R_2/R_1 en fonction de F_{max}/F_{min}

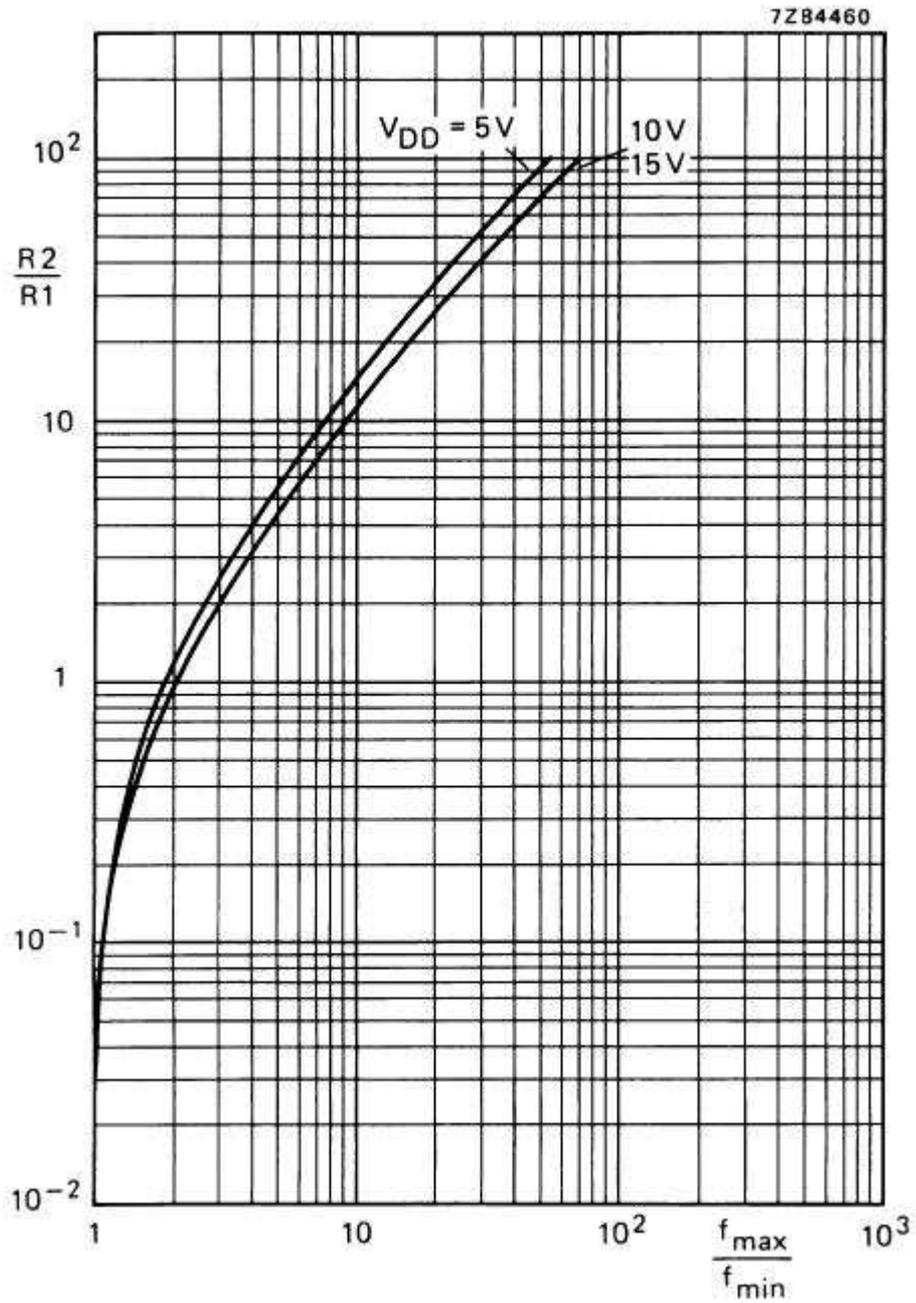


FIGURE 11 – Rapport R_2/R_1 en fonction de F_{max}/F_{min}

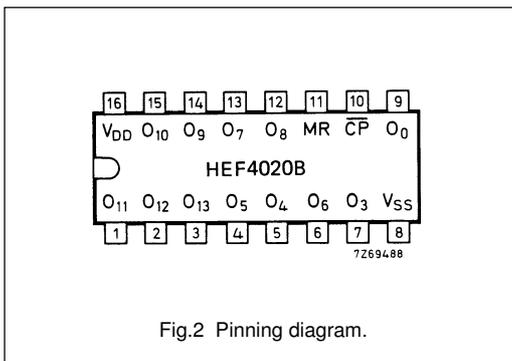
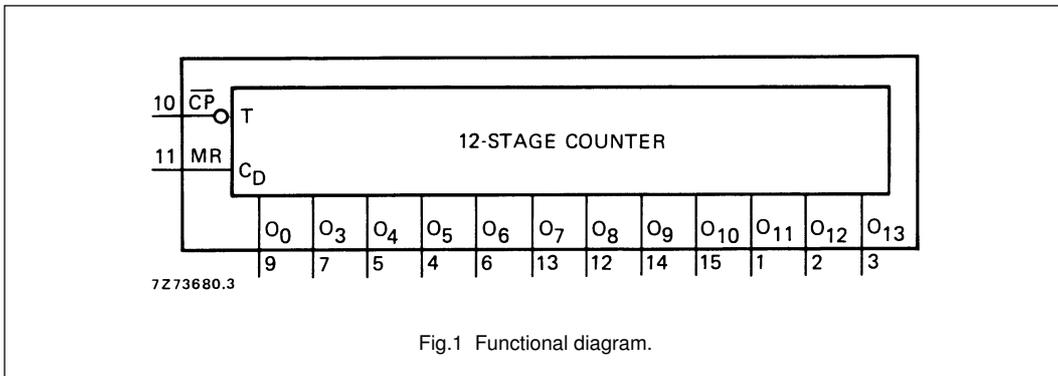
3.5 Documentation compteur 4020

14-stage binary counter

HEF4020B
MSI

DESCRIPTION

The HEF4020B is a 14-stage binary ripple counter with a clock input (\overline{CP}), an overriding asynchronous master reset input (MR) and twelve fully buffered outputs (O_0 , O_3 to O_{13}). The counter advances on the HIGH to LOW transition of \overline{CP} . A HIGH on MR clears all counter stages and forces all outputs LOW, independent of the state of CP. Each counter stage is a static toggle flip-flop. A feature of the HEF4020B is: high speed (typ. 35 MHz at $V_{DD} = 15$ V).



- HEF4020BP(N): 16-lead DIL; plastic (SOT38-1)
 - HEF4020BD(F): 16-lead DIL; ceramic (cerdip) (SOT74)
 - HEF4020BT(D): 16-lead SO; plastic (SOT109-1)
- (): Package Designator North America

PINNING

- \overline{CP} clock input (HIGH to LOW edge triggered)
- MR master reset input (active HIGH)
- O_0, O_3 to O_{13} parallel outputs

FAMILY DATA, I_{DD} LIMITS category MSI

See Family Specifications

3.6 Documentation compteur 4020

14-stage binary counter

HEF4020B
MSI

