

COMPTEURS SYNCHRONES

Dans un réveil-matin électronique, on peut utiliser comme référence de temps un signal de fréquence 50Hz élaboré à partir de la tension du secteur. Comme on veut afficher les secondes, il faut qu'un dispositif fournisse un signal toutes les secondes : il faut donc réaliser une division de fréquence par 50, ce qui peut se faire en divisant la fréquence du signal successivement par 10 et par 5. L'objet de ce TD est la réalisation d'un tel dispositif à partir de bascules JK.

1. Un compteur par N est un circuit qui possède une entrée où arrivent les impulsions à compter et des sorties sur lesquelles apparaît le nombre d'impulsions modulo N. Ce nombre est codé en binaire (ou dans tout autre code pratique pour l'application considérée).

- a. Combien faut-il de sorties pour compter par 10 en binaire ? Ecrire le tableau des états successifs de ces sorties.
- b. On suppose que le signal d'entrée est un signal carré périodique. Tracer le chronogramme des signaux de sortie en supposant que les transitions sont commandées par le front montant du signal d'entrée.
- c. En déduire que ce compteur peut réaliser une division de fréquence par 10 et par 5.

2. Pour réaliser un compteur synchrone par 10, on utilise des bascules JK dont les sorties constituent les sorties du compteur. Ce compteur étant synchrone, toutes les entrées d'horloge des bascules sont reliées à la source du signal périodique. Les entrées et les sorties des bascules sont reliées entre elles par des circuits combinatoires à déterminer. Les entrées J_0 et K_0 de la première bascule sont reliées en permanence au niveau logique 1. La sortie Q_0 de cette bascule fournit le bit de poids le plus faible du nombre binaire représentant le nombre d'impulsions modulo 10.

- a. Compléter le tableau de la question précédente en indiquant la succession des états des entrées J_i et K_i des bascules ($i = 1$ à 3). Pour cela, on utilisera les propriétés de la bascule JK :

J	K	Q^+
0	0	Q^-
0	1	0
1	0	1
1	1	\bar{Q}^-

$Q^- \rightarrow Q^+$	J	K
$0 \rightarrow 0$	0	X
$0 \rightarrow 1$	1	X
$1 \rightarrow 1$	X	0
$1 \rightarrow 0$	X	1

SN54160 THRU SN54163, SN54LS160A THRU SN54LS163A, SN54S162, SN54S163, SN74160 THRU SN74163, SN74LS160A THRU SN74LS163A, SN74S162, SN74S163 SYNCHRONOUS 4-BIT COUNTERS

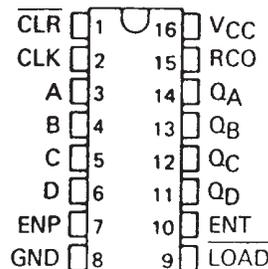
SDLS060 – OCTOBER 1976 – REVISED MARCH 1988

'160, '161, 'LS160A, 'LS161A . . . SYNCHRONOUS COUNTERS WITH DIRECT CLEAR
'162, '163, 'LS162A, 'LS163A, 'S162, 'S163 . . . FULLY SYNCHRONOUS COUNTERS

- Internal Look-Ahead for Fast Counting
- Carry Output for n-Bit Cascading
- Synchronous Counting
- Synchronously Programmable
- Load Control Line
- Diode-Clamped Inputs

SERIES 54', 54LS', 54S' . . . J OR W PACKAGE
SERIES 74' . . . N PACKAGE
SERIES 74LS', 74S' . . . D OR N PACKAGE

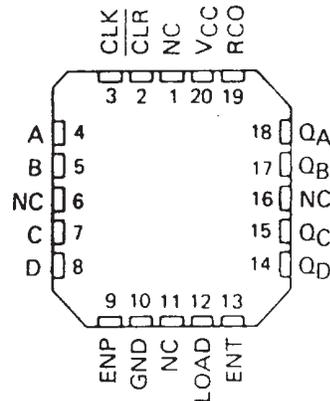
(TOP VIEW)



NC—No internal connection

SERIES 54LS', 54S' . . . FK PACKAGE

(TOP VIEW)



NC—No internal connection

TYPE	TYPICAL PROPAGATION TIME, CLOCK TO Q OUTPUT	TYPICAL MAXIMUM CLOCK FREQUENCY	TYPICAL POWER DISSIPATION
'160 thru '163	14 ns	32 MHz	305 mW
'LS162A thru 'LS163A	14 ns	32 MHz	93 mW
'S162 and 'S163	9 ns	70 MHz	475 mW

description

These synchronous, presettable counters feature an internal carry look-ahead for application in high-speed counting designs. The '160, '162, 'LS160A, 'LS162A, and 'S162 are decade counters and the '161, '163, 'LS161A, 'LS163A, and 'S163 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincident with each other when so instructed by the count-enable inputs and internal gating. This mode of operation eliminates the output counting spikes that are normally associated with asynchronous (ripple clock) counters, however counting spikes may occur on the (RCO) ripple carry output. A buffered clock input triggers the four flip-flops on the rising edge of the clock input waveform.

These counters are fully programmable; that is, the outputs may be preset to either level. As presetting is synchronous, setting up a low level at the load input disables the counter and causes the outputs to agree with the setup data after the next clock pulse regardless of the levels of the enable inputs. Low-to-high transitions at the load input of the '160 thru '163 should be avoided when the clock is low if the enable inputs are high at or before the transition. This restriction is not applicable to the 'LS160A thru 'LS163A or 'S162 or 'S163. The clear function for the '160, '161, 'LS160A, and 'LS161A is asynchronous and a low level at the clear input sets all four of the flip-flop outputs low regardless of the levels of clock, load, or enable inputs. The clear function for the '162, '163, 'LS162A, 'LS163A, 'S162, and 'S163 is synchronous and a low level at the clear input sets all four of the flip-flop outputs low after the next clock pulse, regardless of the levels of the enable inputs. This synchronous clear allows the count length to be modified easily as decoding the maximum count desired can be accomplished with one external NAND gate. The gate output is connected to the clear input to synchronously clear the counter to 0000 (LLLL). Low-to-high transitions at the clear input of the '162 and '163 should be avoided when the clock is low if the enable and load inputs are high at or before the transition.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

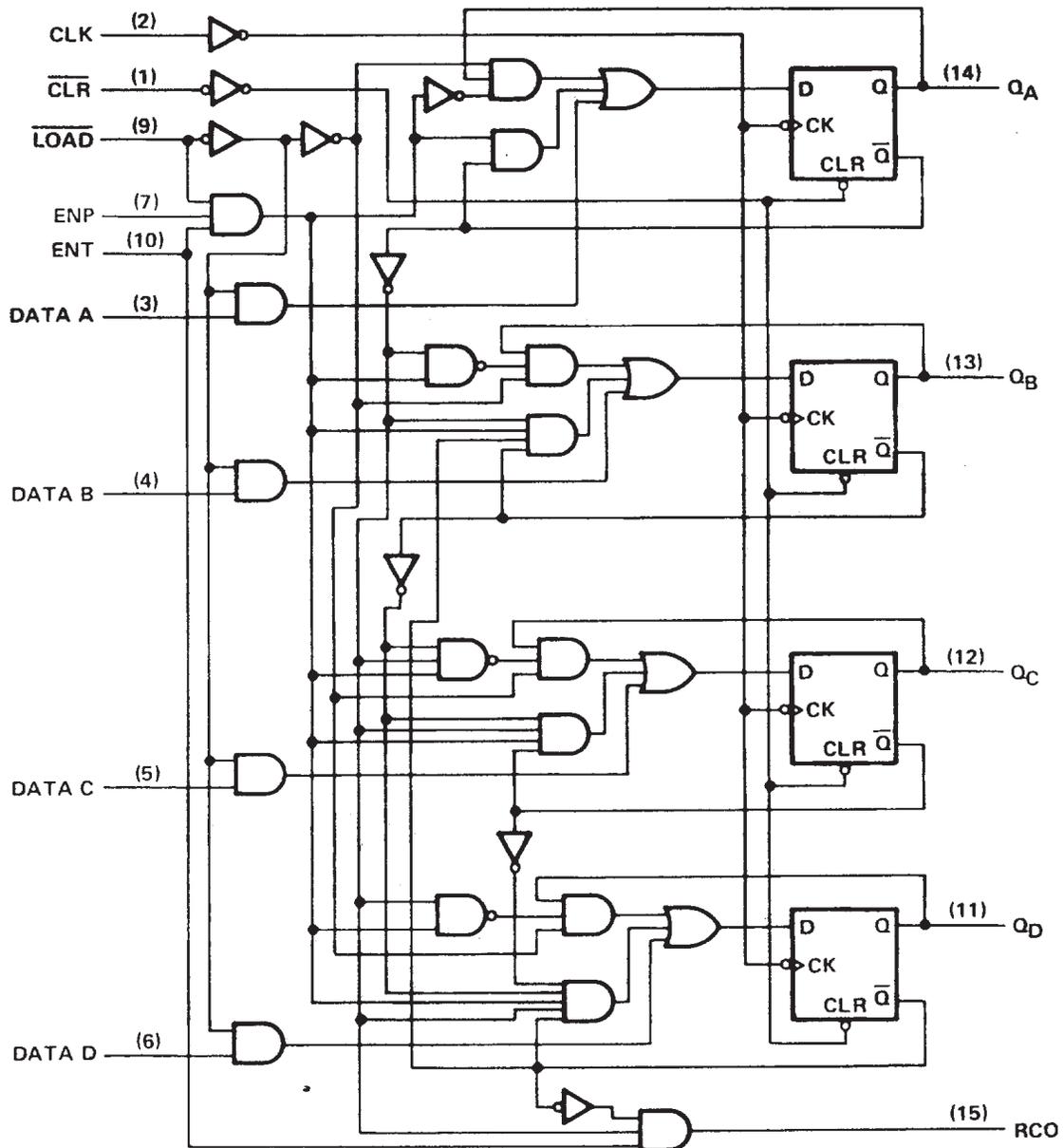
SN54LS160A, SN54LS162A, SN74LS160A, SN74LS162A SYNCHRONOUS 4-BIT COUNTERS

SDLS060 – OCTOBER 1976 – REVISED MARCH 1988

logic diagram (positive logic)

SN54LS160A, SN74LS160A SYNCHRONOUS DECADE COUNTERS

SN54LS162A, SN74LS162A synchronous decade counters are similar; however the clear is synchronous as shown for the SN54LS163A, SN74LS163A binary counters at right.



Pin numbers shown are for D, J, N, and W packages.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN54160, SN54162, SN54LS160A, SN54LS162A, SN54S162,
SN74160, SN74162, SN74LS160A, SN74LS162A, SN74S162
SYNCHRONOUS 4-BIT COUNTERS**

SDLS060 – OCTOBER 1976 – REVISED MARCH 1988

'160, '162, 'LS160A, 'LS162A, 'S162 DECADE COUNTERS

typical clear, preset, count, and inhibit sequences

Illustrated below is the following sequence:

1. Clear outputs to zero ('160 and 'LS160A are asynchronous; '162, 'LS162A, and 'S162 are synchronous)
2. Preset to BCD seven
3. Count to eight, nine, zero, one, two, and three
4. Inhibit

